

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-196574

(43)Date of publication of application : 19.07.2001

(51)Int.Cl.

H01L 29/43
H01L 33/00
H01S 5/042
H01S 5/323

(21)Application number : 2000-002326

(71)Applicant : FURUKAWA ELECTRIC CO LTD:THE

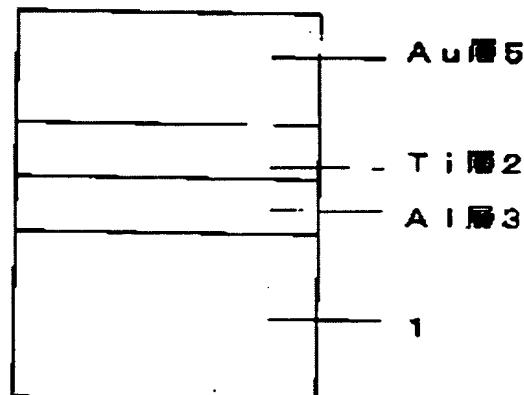
(22)Date of filing : 11.01.2000

(72)Inventor : YOSHIDA KIYOTERU

(54) FORMING METHOD OF ELECTRODE ON N-TYPE GALLIUM NITRIDE COMPOUND SEMICONDUCTOR LAYER**(57)Abstract:**

PROBLEM TO BE SOLVED: To reduce the contact resistance of an N-type electrode, formed on the surface of an N-type gallium nitride (GaN) compound semiconductor layer and to enable obtaining the favorable ohmic characteristics of the electrode having satisfactory reproducibility.

SOLUTION: The forming method of an N-type electrode is a method, where a Ti layer 2 is first deposited on a GaN contact layer 1, and after that, an Al layer 3 and a metal layer of a melting point higher than that of the layer 3 are deposited in the order. As the example of the metal layer of the melting point higher than that of the layer 3, an Au layer 5 and the like can be cited. After that, a heat treatment is performed. The heat treatment temperature for the heat treatment is 20 to 900° C or 250 to 900° C. Or as the heat treatment, a two-step heat treatment of 20 to 400° C as the first-step heat treatment temperature and 400 to 900° C as the second step heat treatment temperature is performed. At this time, the second-step heat treatment temperature is surely made higher than the first-step heat treatment temperature. Alternatively, a two-step heat treatment of 250 to 400° C as the first-step heat treatment temperature and 400 to 900° C, for the second-step heat treatment temperature is performed. At this time, the second-step heat treatment temperature is surely made higher than the first-step heat treatment temperature.

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2001-196574

(P2001-196574A)

(43)公開日 平成13年7月19日(2001.7.19)

(51)Int.Cl. ⁷	識別記号	F I	テ-マ-ト [*] (参考)
H 0 1 L 29/43 33/00		H 0 1 L 33/00	E 4 M 1 0 4 C 5 F 0 4 1
H 0 1 S 5/042 5/323	6 1 0	H 0 1 S 5/042 5/323	6 1 0 5 F 0 7 3
		H 0 1 L 29/46	L
		審査請求 未請求 請求項の数5 O L (全 6 頁)	

(21)出願番号 特願2000-2326(P2000-2326)

(22)出願日 平成12年1月11日(2000.1.11)

(71)出願人 000005290

古河電気工業株式会社

東京都千代田区丸の内2丁目6番1号

(72)発明者 吉田 清輝

東京都千代田区丸の内2丁目6番1号 古

河電気工業株式会社内

Fターム(参考) 4M104 AA04 BB02 BB14 CC01 DD34

DD37 DD78 DD79 FF13 GG04

GG12 HH15

5F041 AA11 CA34 CA40 CA46 CA84

CA85 CA92

5F073 CA07 CB22 DA06 DA16 DA30

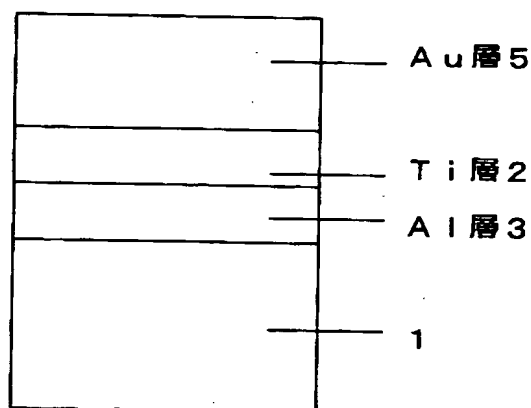
DA35 EA29

(54)【発明の名称】 n型窒化ガリウム系化合物半導体層への電極形成方法

(57)【要約】

【課題】 n型窒化ガリウム(GaN)系化合物半導体層表面に形成されたn型電極に関して、接触抵抗が小さく、良好なオーミック特性が再現性よく得られる。

【解決手段】 n型電極の形成方法は、GaNコンタクト層1の上に、初めにTi層2を蒸着し、その後Al層3、Alよりも高融点の金属層を順次蒸着する。Alよりも高融点の金属層の例としてはAu層5等がある。その後熱処理をする。熱処理温度は20℃～900℃である。あるいは、250℃～900℃である。あるいは、第一段目として20℃～400℃、二段目として400℃～900℃の2段階の熱処理をする。この際、二段目は一段目よりも必ず温度は高い。あるいは、第一段目として250℃～400℃、二段目として400℃～900℃の2段階の熱処理をする。この際、二段目は一段目よりも必ず温度は高い。



【特許請求の範囲】

【請求項1】 n型窒化ガリウム系化合物半導体層表面に電極を形成する方法において、前記電極はn型窒化ガリウム系化合物半導体層に接する側から順に、第一の薄膜としてはアルミニウム、第二の薄膜としてはチタン、第三の薄膜としてはアルミニウムよりも高融点の金属が、それぞれ積層されていることを特徴とするn型窒化ガリウム系化合物半導体層への電極形成方法。

【請求項2】 前記第一、第二、第三の薄膜を積層したn型窒化ガリウム系化合物半導体層を、20℃～900℃の温度下で保持することを特徴とした請求項1に記載のn型窒化ガリウム系化合物半導体層への電極形成方法。

【請求項3】 前記第一、第二、第三の薄膜を積層したn型窒化ガリウム系化合物半導体層を、250℃～900℃の温度下で保持することを特徴とした請求項2に記載のn型窒化ガリウム系化合物半導体層への電極形成方法。

【請求項4】 前記第一、第二、第三の薄膜を積層したn型窒化ガリウム系化合物半導体層を、一段目として20℃～400℃の温度下で保持した後、二段目として400℃～900℃の温度下で保持し、かつ二段目は一段目よりも必ず温度が高いことを特徴とした請求項1に記載のn型窒化ガリウム系化合物半導体層への電極形成方法。

【請求項5】 前記第一、第二、第三の薄膜を積層したn型窒化ガリウム系化合物半導体層を、一段目として250℃～400℃の温度下で保持した後、二段目として400℃～900℃の温度下で保持し、かつ二段目は一段目よりも必ず温度が高いことを特徴とした請求項4に記載のn型窒化ガリウム系化合物半導体層への電極形成方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明はn型窒化ガリウム系化合物半導体を用いた半導体素子の電極の形成方法に関する。

【0002】

【従来の技術】 GaN、GaAlN、InGa_{0.5}N、InGa_{0.2}Al_{0.8}Nなどの窒化ガリウム（GaN）系化合物半導体は、組成を選択することでバンドギャップを広範囲に変化させることができ、特に他の組成で実現が困難である青系統の短波長発光を得ることが出来ることから、半導体発光ダイオードや半導体レーザなどの発光素子への応用が検討されている。また窒化ガリウム系化合物半導体は、高温での組成安定性に優れており、高温で動作可能なトランジスタなどの半導体材料として期待されている。

【0003】 これらの窒化ガリウム系材料を用いた半導体素子のn型電極は、多層電極あるいは合金電極とn型GaNコンタクト層により比較的低い接触抵抗のものが

得られている。電極の例としては、TiとAlの合金またはTiとAlの多層膜がある。図3に従来例1の電極構造の断面図を示す。n型電極はn型GaNコンタクト層1表面に、Ti層2とAl層3を順に積層した構造になっている。この電極構造では電極蒸着後、400℃以上の温度の熱処理で良好なオーミック特性が得られている。

【0004】 また、従来例1の電極を改良した電極構造として、n型GaNコンタクト層1表面にTi層2とAl層3を順に積層した後、Alよりも高融点の金属を積層した電極構造が提案されている。Alよりも高融点の金属としては、Au、Ti、Ni、Pt、W、Mo、Cr、Cuが挙げられており、特にAu、Ti、Niがよいとされている。

【0005】 図4に従来例2のn型電極の構造を示す。図4において、n型電極はn型GaNコンタクト層1表面に順次積層されたTi層2、Al層3、Ni層4、Au層5とからなっている。この場合も従来例1の場合と同じく、400℃以上の温度の熱処理で良好なオーミック特性が得られる。

【0006】

【発明が解決しようとする課題】 我々の実験結果を以下に述べる。図6にn型電極構造の断面図を示す。n型GaNコンタクト層1表面にTi層2、Al層3、Au層5の順で電極を積層した。その後400℃以上で熱処理した。コンタクト特性（電流I-電圧V特性）を測定した結果を図9に示す。このようにオーミック特性を得ることは難しかった。

【0007】

【課題を解決するための手段】 従来の電極形成方法ではGaNコンタクト層1の上に、初めにTi層2を蒸着している。その後Al層3、Au層5の順に蒸着している。我々の実験結果でオーミック特性が再現性良く得られなかった原因として以下のことを考えた。

【0008】 酸化膜を除去する目的で前処理を行い、さらに蒸着は真空状態で行う。しかしながら、GaNコンタクト層1表面とTi層2の界面には、ある程度のTiの酸化物が生成する。熱処理工程後にTi酸化物はこの界面に残留し、これによりオーミック特性が再現性良く得られることを難しくしている。図5に酸化物生成の標準自由エネルギーの絶対値 $|\Delta G|$ と温度との関係を示す（Richard A. Swalin"固体の熱力学", コロナ社（1965））。Ti酸化物とAl酸化物の標準生成自由エネルギーの絶対値を比較した場合、0℃～1000℃の温度範囲でTiの酸化物の方が生成自由エネルギーは小さい。よってTiの酸化物の方が生成しやすい。すなわちn型GaNコンタクト層1表面と接触する第一層をAl層3とした方が、界面に残留する酸化物は減少する。

【0009】 熱処理をするとTiとAlは合金化するので、従来、電極蒸着時の積層順は問題としていなかった

3

た。今回我々は上記考察から、この電極蒸着時の積層順について注目し鋭意検討した。すなわち、従来例ではGaNコンタクト層1表面の上にTi層2を蒸着したが、本発明では初めにAl層3を蒸着することにした。その後Ti層2、Au層5の順番で蒸着することにした。

【0010】本発明のn型電極の形成方法は、熱処理前の電極蒸着工程において、窒化ガリウム系化合物半導体のn型コンタクト層上にAl層3、Ti層2、Au層5の順に積層することを特徴とする。さらに前記電極金属を形成した後、熱処理することを特徴とする。また前記熱処理温度は、20℃～900℃であることを特徴とする。20℃では熱処理を施さないことと同じ意味である。20℃の室温において接触抵抗値は $1 \times 10^{-3} \Omega \text{ cm}^2$ とやや高いが、良好なオーミック特性を確認している。熱処理時間は30分以内で十分である。900℃以上では、GaN系化合物半導体膜の結晶性は悪くなり、半導体素子作成後の特性に悪影響を及ぼす。

【0011】あるいは、熱処理を短時間で行う場合は、前記電極金属を蒸着した後、熱処理する際、250℃～900℃の温度下で保持することを特徴とする。熱処理時間は15分以内で十分である。

【0012】あるいは、前記電極金属を蒸着した後熱処理する際、一段目として20℃～400℃の温度下で保持した後、二段目として400℃～900℃の温度下で保持し、かつ二段目は一段目よりも必ず温度が高いことを特徴とする。熱処理時間は一段目は30分以内、二段目は15分以内で十分である。一段目の熱処理では、n型GaNコンタクト層1表面とAl層3の間の界面にわずかに存在していたAlの酸化物が分解し、Alは窒素と結合し、酸化物は界面に存在しなくなる。分解して発生した酸素は電極外部へ拡散する。この段階でTi-Al合金をGaNコンタクト層表面に形成する。二段目の熱処理では、Auと前記Ti-Al合金の界面にAu-Ti-Al合金を形成し、これらの金属をなじませる効果をもつ。

【0013】あるいは、熱処理を短時間で行う場合は、前記電極金属を蒸着した後、熱処理する際、一段目として250℃～400℃の温度下で保持した後、二段目として400℃～900℃の温度下で保持し、かつ二段目は一段目よりも必ず温度が高いことを特徴とする。熱処理時間は一段目は15分以内、二段目は15分以内で十分である。

【0014】また、2段階の熱処理方法においては、まずAlとTiを蒸着した後、一段目の熱処理を行い、その後Au層5を蒸着した後、二段目の熱処理を行ってもよい。このような構成をとることにより、良好なオーミック特性が再現性よく得られ、本発明の目的を達成することができる。

【0015】別の問題点として、高温で熱処理する場合、チップ状(数mm角レベル)では特に問題とならな

4

いが、直径2インチ以上のウエハ状になると、ウエハの割れ、そり等が発生するおそれがある。ウエハのそりが大きいとその後の半導体素子作成工程で、ウエハの真空吸着が出来ない等のトラブルが生じる。本発明によれば、熱処理温度を400℃以下に下げることができるので、上記問題に対しても効果がある。

【0016】

【発明の実施の形態】本発明におけるn型窒化ガリウム系化合物半導体層への電極形成方法の実施形態では、熱処理開始前にn型GaNコンタクト層1表面とAl層3が接触している構造である。さらに本発明におけるn型窒化ガリウム系化合物半導体層への電極形成方法の実施形態では、熱処理温度が20℃～900℃という広い温度範囲においても、再現性良く良好なオーミック特性を得ることが出来る。

【0017】

【実施例】【実施例1】本発明の実施形態の実施例1について図1を用いて説明する。図1は本発明の実施例に係るn型電極構造の断面図を示す。GaNコンタクト層1へまずAl層3を20nm真空蒸着する。次にTi層2を70nm真空蒸着する。更にその上にAu層5を1000nmスパッタ蒸着した。次に400℃で15分間熱処理した。このようにして作成した電極を用いて、nコンタクト層の特性を測定した。結果を図7に示す。良好なオーミック特性が再現性よく得られ、接触抵抗値は $1 \times 10^{-7} \Omega \text{ cm}^2$ と十分に低い値であった。

【0018】【実施例2】本発明の実施形態の実施例2について以下に示す。n型電極蒸着までは上記実施例1と同じである。熱処理は100℃で30分とした。結果は良好なオーミック特性が再現性よく得られた。

【0019】【実施例3】本発明の実施形態の実施例3について図2を用いて説明する。電極蒸着までは上記実施例1と同じである。図2に2段階の熱処理方法を示す。一段目の温度は400℃で15分、二段目の温度は850℃で5分とした。このようにして作成した電極を用いて、nコンタクト層の特性を測定した。結果を図8に示す。良好なオーミック特性が再現性よく得られ、コンタクト抵抗値は $1 \times 10^{-7} \Omega \text{ cm}^2$ と十分に低い値であった。

【0020】【実施例4】図10にGaN電界効果トランジスタ(FET)の電極形成プロセスを示す。まずガスソース分子線エピタキシャル成長法を用いてGaNの結晶成長を行った。成長室とバナーニング室を有する超高真空装置を用いる。

【0021】成長室においてまず、絶縁性のサファイア基板6上に、ラジカル化した窒素($3 \times 10^{-6} \text{ Torr}$)とGa($5 \times 10^{-7} \text{ Torr}$)を用いて分子線エピタキシャル成長法により、成長温度640℃で50nmの厚さのn-GaNバッファ層7を形成し、更にその上にGa($1 \times 10^{-6} \text{ Torr}$)とアンモニア

5

(5×10^{-5} Torr)を用い、成長温度850℃でアンドープのGa_{0.9}N_{0.1}アンドープ層8を1000nm成長した。次にその上に、Ga(1×10^{-7} Torr)とアンモニア(5×10^{-5} Torr)を用い、ドーパントとしてSi(1×10^{-9} Torr)を用いて、成長温度850℃でGa_{0.9}N_{0.1}層9を200nm形成する。この層のキャリア濃度は $2 \times 10^{17} \text{cm}^{-3}$ となるようにあらかじめホール測定などを用いて設定した。次にその上にGa(1×10^{-7} Torr)とアンモニア(5×10^{-5} Torr)、Si(5×10^{-8} Torr)を用い、n型Ga_{0.9}N_{0.1}コンタクト層1を形成した。このときのキャリア濃度は $5 \times 10^{18} \text{cm}^{-3}$ とした。

【0022】次に、上述のGa_{0.9}N_{0.1}エピタキシャル膜を用いた電極作成プロセスを説明する。Ga_{0.9}N_{0.1}表面全面に保護膜としてSiO₂を熱化学堆積法で付けた。その後フォトリソグラフィを用いパターニングを行い、電極となる部分に沸酸を用い開口部を設けた。次に電極となるAl層3、Ti層2を真空蒸着装置で順次蒸着していく。まず、Al層3を20nm蒸着する。次にTi層2を70nm蒸着する。更にその上にAu層5を1000nmスパッタ蒸着する。次に400℃で15分熱処理して、Ti—Al系合金層13を形成した。更に850℃まで上げて5分間熱処理してAu—Ti—Al系合金層14を形成した。2段階の熱処理方法を図2に示す。こうして作成したソース電極11、ドレイン電極12は良好なオーミック特性であった。またGa_{0.9}N_{0.1}コンタクト層1とこれらの電極11、12との接触抵抗を測定した。その結果 $1 \times 10^{-7} \Omega \text{cm}^2$ と十分に低い接触抵抗であった。

【0023】Ga_{0.9}N_{0.1}の成長には有機金属気相化学堆積法(MOCVD)を用いても良い。Ga_{0.9}N_{0.1}膜形成には、窒素源としてジメチルヒドラジン、モノメチルヒドラジン、アンモニア等を用いる。またGa源としてはトリエチルガリウム、トリメチルガリウムなどの有機金属ガスを用いる。又、n型ドーパントとしてモノシラン、ジシランなどを用いる。

【0024】また、三層目の電極であるAu層5は、Ni、Pt、W、Mo、Cr、Cuにおいても同じ効果が得られる。

【0025】また、Ga_{0.9}N_{0.1}以外にもGaAlN、InGa_{0.9}N_{0.1}、InGaAlNなどの窒化ガリウム系半導体においても同じ効果が得られる。

【0026】また、Ga_{0.9}N_{0.1}電界効果トランジスタを実施例4で示したが、発光ダイオード、レーザダイオード等で利用されるn型電極においても同じ効果が得られる。

【0027】

【比較例】本発明の比較例について図6を用いて説明する。図6は比較例のn型電極構造の断面図を示す。Ga_{0.9}N_{0.1}コンタクト層1表面上に、まずTi層2を20nm真

6

空蒸着する。次にAl層3を70nm真空蒸着する。更にその上にAu層5を1000nmスパッタ蒸着した。次に400℃で15分間熱処理した。このようにして作成した電極を用いて、nコンタクト層の特性を測定した。結果を図9に示す。良好なオーミック特性が得られなかった。

【0028】

【発明の効果】以上の説明で明らかなように、本発明の請求項1～5に係るn型窒化ガリウム系化合物半導体層表面に電極を形成する方法において、n型Ga_{0.9}N_{0.1}コンタクト層と電極との界面に残留する酸化物が抑制され、良好なオーミック特性が再現性良く得られ、接触抵抗は十分に小さい値が得られる。

【0029】また、直径2インチ以上のウエハ上に電極を形成する場合、特に熱処理温度を低温領域に設定することことができ、ウエハのワレ、そり等のトラブルの発生を防止できる。

【図面の簡単な説明】

【図1】 本発明の実施例1、2に係るn型電極構造を示す断面図である。

【図2】 本発明の実施例2、4に係る2段階の熱処理方法である。

【図3】 従来例1のn型電極構造を示す断面図である。

【図4】 従来例2のn型電極構造を示す断面図である。

【図5】 酸化物生成の標準自由エネルギーと温度との関係

【図6】 比較例のn型電極構造を示す断面図である。

【図7】 本発明の実施例1に係る電極の電流電圧特性を示す図である。

【図8】 本発明の実施例2に係る電極の電流電圧特性を示す図である。

【図9】 比較例1に係る電極の電流電圧特性を示す図である。

【図10】 Ga_{0.9}N_{0.1} FETの電極形成プロセスを示す図である。

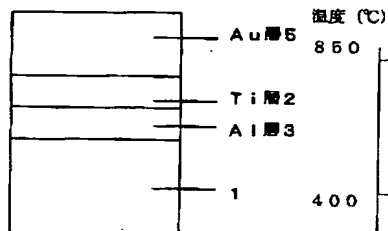
【符号の説明】

- 1 Ga_{0.9}N_{0.1} コンタクト層
- 2 Ti層
- 3 Al層
- 4 Ni層
- 5 Au層
- 6 サファイア基板
- 7 Ga_{0.9}N_{0.1} バッファ層
- 8 Ga_{0.9}N_{0.1} アンドープ層
- 9 Ga_{0.9}N_{0.1} n層
- 10 ゲート電極
- 11 ソース電極
- 12 ドレイン電極

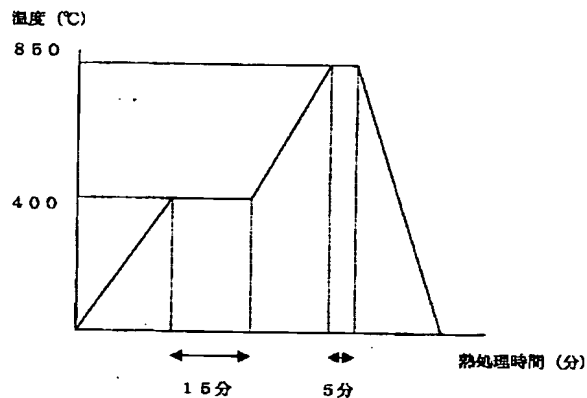
13 Ti-Au系合金

14 Au-Ti-Al系合金

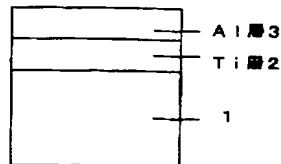
【図1】



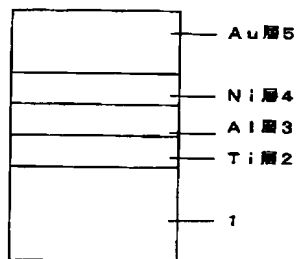
【図2】



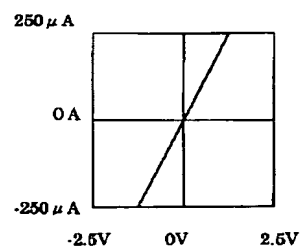
【図3】



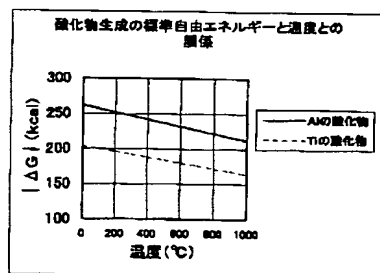
【図4】



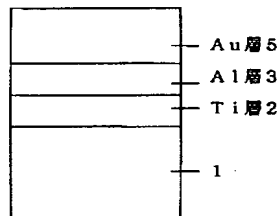
【図7】



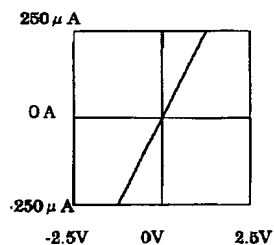
【図5】



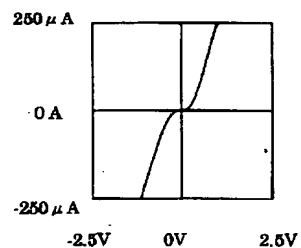
【図6】



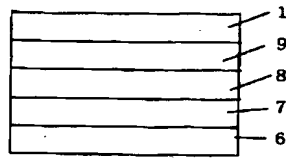
【図8】



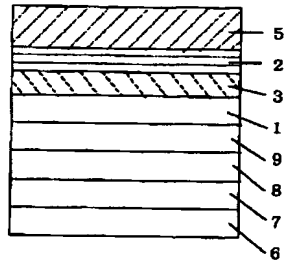
【図9】



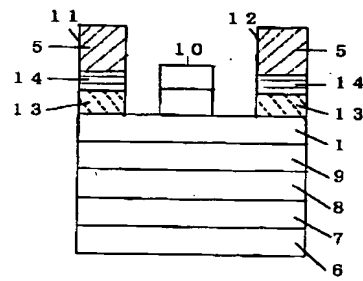
【図10】



(a) GaN epilayer formation



(b) Ohmic electrode formation



(c) FET formation